



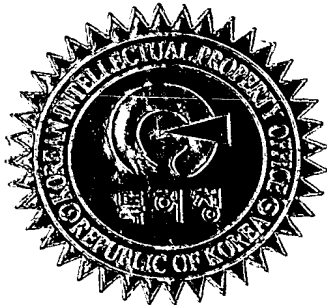
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2001년 제 2160 호
Application Number PATENT-2001-0002160

출원 년 월 일 : 2001년 01월 15일
Date of Application JAN 15, 2001

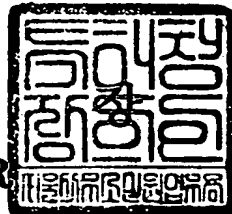
출원인 : 앰코 테크놀로지 코리아 주식회사
Applicant(s) Amkor Technology Korea, Inc.



2001 년 12 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.01.15
【국제특허분류】	H01L
【발명의 명칭】	적층형 반도체 패키지
【발명의 영문명칭】	stack-type semiconductor package
【출원인】	
【명칭】	앵코 테크놀로지 코리아 주식회사
【출원인코드】	1-1999-032391-1
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-064945-9
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-064946-6
【발명자】	
【성명의 국문표기】	백종식
【성명의 영문표기】	BAEK, Jong Sik
【주민등록번호】	700330-1450745
【우편번호】	130-035
【주소】	서울특별시 동대문구 답십리5동 678번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)

【수수료】

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 330,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 적층형 반도체 패키기에 관한 것으로서, 동일한 크기의 칩을 적층하여 패키지의 용량을 증가함과 경박단소한 새로운 형태의 적층형 반도체 패키지를 제공하기 위한 것이다.

이를 위해 본 발명은 각 리드(131)의 일면 내측부가 그 외측부의 두께보다 얇게 형성되어, 상기 각 리드(131)의 일면 내측부는 칩 장착부(132)를 형성하고 상기 각 리드(131)의 일면 외측부는 랜드부(134)를 형성하는 리드프레임(130)과; 상기 각 리드의 칩 안착부(132) 및 상기 각 리드(131)의 타면에 각각 장착되는 제1칩(110) 및 제2칩(120)과; 상기 각 칩(110)(120)과 상기 각 리드(131)를 전기적으로 연결하는 접속수단과; 상기 각 칩(110)(120), 상기 접속수단을 외부로부터 보호하기 위해 봉지되는 봉지재(180)를 포함하여 이루어지는 적층형 반도체 패키지가 제공된다.

【대표도】

도 1

【색인어】

반도체, 패키지

【명세서】

【발명의 명칭】

적층형 반도체 패키지{stack-type semiconductor package}

【도면의 간단한 설명】

도 1 은 본 발명에 따른 적층형 반도체 패키지의 제1실시예를 나타내는 단면도

도 2a 는 본 발명에 따른 적층형 반도체 패키지의 저면도

도 2b 는 본 발명에 따른 적층형 반도체 패키지의 평면도

도 3 은 본 발명에 따른 적층형 반도체 패키지의 제2실시예를 나타내는 단면도

도 4 는 본 발명에 따른 적층형 반도체 패키지의 제2실시예를 스택한 것을 나타내는 단면도

도 5a 내지 5e 는 본 발명에 따른 적층형 반도체 패키지의 제조방법을 나타내는 공정도

도면의 주요부분에 대한 부호설명

100,101. 반도체 패키지 110. 제1칩

113. 제1칩 본딩패드 120. 제2칩

123. 제2칩 본딩패드 130,140. 리드프레임

131,142. 리드 132,142. 칩 장착부

134, 144. 랜드부 150. 솔더범프

160. 솔더 마스크 180. 봉지체

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 적층형 반도체 패키지에 관한 것으로서, 보다 상세하게는 리드프레임의 일면과 타면에 동일한 크기의 칩을 적층할 수 있는 반도체 패키지에 관한 것이다.

<15> 현재, 반도체 패키지는 급진전되는 기술의 발달과 더불어 소형 박형화되어 가고 있으며, 이러한 요구에 부응하여 새로운 형태의 다양한 반도체 패키지가 계속해서 개발되고 있다.

<16> 또한, 최근에는 다양한 기능을 위해 고용량의 반도체 패키지가 요구되고 있으나, 단일 칩만으로는 이와 같이 다기능을 수행 할 수 있는 반도체 패키지를 실현하는 데에는 한계가 있다.

<17> 이에 따라, 패키지 내부에 칩을 적층하거나, 혹은 패키지를 적층하는 다양한 형태의 반도체 패키지들이 제안되고 있다.

<18> 그러나, 이러한 적층형 반도체 패키지는 칩 혹은 패키지를 적층함에 따라, 각 반도체 패키지마다 갖는 단점 또는 구조적 한계를 갖고 있으며, 이에 새로운 적층형 반도체 패키지가 개발되고 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 이와 같은 종래의 문제점을 해결하기 위해 안출한 것으로서, 동일한 크기의 칩을 적층하여 패키지의 용량을 증가함과 함께 패키지의 크기 및 두께를 줄인 경박단소한 새로운 형태의 적층형 반도체 패키지 및 그 제조방법을 제공하기 위한 것이다.

【발명의 구성 및 작용】

<20> 상기한 목적을 달성하기 위한 본 발명의 형태에 따르면, 각 리드의 일면 내측부가 그 외측부의 두께보다 얇게 형성되어, 상기 각 리드의 일면 내측부는 칩 장착부를 형성하고 상기 각 리드의 일면 외측부는 랜드부를 형성하는 리드프레임과; 상기 각 리드의 칩 장착부 및 상기 각 리드의 타면에 각각 장착되는 제1칩 및 제2칩과; 상기 각 칩과 상기 각 리드를 전기적으로 연결하는 접속수단과; 상기 각 칩, 상기 접속수단을 외부로부터 보호하기 위해 봉지되는 봉지체를 포함하여 이루어지는 적층형 반도체 패키지가 제공된다.

<21> 또한, 본 발명에 따른 적층형 반도체 패키지 각 리드의 일면 및 타면의 내측부가 그 외측부의 두께보다 얇게 형성되어, 상기 각 면의 내측부는 칩 장착부를 형성하고 상기 각 면의 외측부는 랜드부를 형성하는 리드프레임과; 상기 각 리드의 일면 및 타면에 형성되는 칩 장착부에 각각 장착되는 제1칩 및 제2칩과; 상기 각 칩과 상기 각 리드를 전기적으로 연결하는 접속수단과; 상기 각 칩, 상기 접속수단을 외부로부터 보호하기 위해 봉지되는 봉지체를 포함하여 이루어지는 적층형 반도체 패키지가 제공된다.

- <22> 이하, 본 발명의 바람직한 실시예를 첨부한 도 1 내지 도 5e 를 참조하여 상세히 설명하면 다음과 같다.
- <23> 도 1 은 본 발명에 따른 적층형 반도체 패키지의 제1실시예를 나타내는 단면도이다.
- <24> 도시한 바와 같이 본 발명에 따른 제1실시예의 적층형 반도체 패키지(100)는 리드프레임(130)과, 상기 리드프레임(130)의 일면에 장착되는 제1칩(110)과, 상기 리드프레임(130)의 타면에 장착되는 제2칩(120)과, 상기 각 칩(110)(120)과 상기 리드프레임(130)을 전기적으로 연결하는 접속수단과; 상기 각 칩(110)(120) 및 상기 접속수단을 외부로부터 보호하기 위해 봉지되는 봉지체(180)로 크게 구성된다.
- <25> 상기 리드프레임(130)은 그 중앙부가 개방되며, 끝단의 둘레를 따라 일정 간격으로 복수개의 리드(131)가 형성된다.
- <26> 특히, 상기 각 리드(131)의 일면 내측부가 그 외측부의 두께보다 얇게 형성되어, 상기 각 리드(131)의 일면 내측부는 칩 장착부(132)를 형성하고 상기 각 리드(131)의 외측부는 랜드부(134)를 형성한다.
- <27> 한편, 상기 제1칩(110)과 상기 제2칩(120)은 동일한 크기로 형성되며, 상기 제1칩(110)에는 상기 각 리드의 칩 장착부(132)에 연결하기 위한 본딩패드(113)가 형성되고, 상기 제2칩(120)에도 상기 각 리드(131)의 타면에 연결하기 위한 본딩패드(123)가 형성된다.

- <28> 그리고, 상기 제1칩의 본딩패드(113)와 이에 해당하는 상기 각 리드의 칩 장착부(132) 사이에는 상기 제1칩(110)과 상기 각 리드(131)를 전기적으로 연결하는 접속수단이 구비된다.
- <29> 또한, 상기 제2칩의 본딩패드(123)와 이에 해당하는 상기 각 리드(131)의 타면 사이에도 상기 제2칩(120)과 상기 각 리드(131)를 전기적으로 연결하는 접속수단이 구비된다.
- <30> 특히, 본 실시예에서는 상기한 접속수단으로써 솔더범프(150)를 사용한 것이나, 본 발명은 이에 한정하는 것은 아니며 다른 형태의 접속수단이 사용될 수도 있다.
- <31> 한편, 상기 솔더범프(150)는 상기 각 칩의 본딩패드(113),(123)가 아닌, 상기 각 리드(131)에 구비하는 것이 바람직한데, 이는 박형의 칩에 솔더범프를 구비하기가 쉽지 않을 뿐만아니라, 자칫 칩에 워페이지(warping)가 발생할 수 있기 때문이다.
- <32> 상기한 바와 같이, 본 실시예에서는 상기 솔더범프(150)를 각 리드(131)의 칩 장착부와 타면에 구비하여 박형의 칩(110),(120)을 사용할 수 있도록 함으로써, 패키지의 전체 두께를 줄일 수 있다.
- <33> 또한, 상기 솔더범프(150)가 구비되는 각 리드(131)의 주위에는 솔더와의 젖음성이 나쁜 솔더 레지스트 또는 티타늄(Ti)등과 같은 솔더 마스크 물질(160)을 코팅한다.

- <34> 한편, 상기 각 칩(110),(120) 및 상기 솔더범프(150)의 주위에는 봉지재(180)가 봉지되는데, 이 때 상기 각 칩(110),(120)이 외부로 노출됨과 함께 상기 각 리드의 일면 외측부 즉, 랜드부(134)가 외부로 노출되도록 하여 상기 랜드부(134)를 통해 외부 장치에 연결할 수 있게 한다.
- <35> 따라서, 본 실시예에서는 도 2a 와 같이 제1칩(110) 및 각 리드의 랜드부(134)가 봉지재(180)의 외부로 노출됨과 함께 도 2b 와 같이 제2칩(120) 역시 봉지재(180)의 외부로 노출되어, 상기 각 칩(110)(120)에서 발생하는 열을 효과적으로 방출할 수 있다.
- <36> 한편, 본 발명에서 패키지의 용량을 증가하기 위해서는 제1칩(110)과 제2칩(120)을 동일 리드(131)에 연결하면 되고, 다른 기능을 수행하도록 할 경우에는 제1칩(110)과 제2칩(120)을 서로 다른 리드(131)에 연결하면 된다.
- <37> 또한, 본 실시예의 반도체 패키지(100)에서는 각 리드의 랜드부(134)를 통하여 2개의 반도체 패키지를 스택하는 것이 가능하다.
- <38> 도 3 은 본 발명에 따른 적층형 반도체 패키지의 제2실시예를 나타내는 단면도이다.
- <39> 도시한 바와 같이 본 발명에 따른 제2실시예의 적층형 반도체 패키지(101)는 전술한 제1실시예와 전체적인 구성이 동일하므로, 동일부분에 대해서는 동일부호를 부여하고 구체적인 설명은 제1실시예를 참조하도록 한다.

- <40> 한편, 본 실시예의 특징은 리드프레임(140)에 있는 것으로, 구체적으로 각 리드(141)의 일면 및 타면의 내측부를 그 외측부의 두께보다 얇게 형성한 것이다.
- <41> 따라서, 상기 각 리드(141)의 일면 및 타면의 내측부에는 칩이 장착되는 칩 장착부(142)가 형성되고, 상기 각 리드(141)의 일면 및 타면의 외측부는 랜드부(144)가 형성된다.
- <42> 이 때, 상기 각 랜드부(144)는 모두 외부로 노출되도록 봉지되어, 상기 랜드부(144)를 통해 외부 장치에 연결할 수 있게 된다.
- <43> 한편, 이와 같이 형성되는 본 실시예의 반도체 패키지(101)는 도 4 와 같이 상기 랜드부(144)를 통하여 여러 개의 반도체 패키지(101)를 스택하는 것이 가능해 진다.
- <44> 물론, 본 실시예의 반도체 패키지(101)를 스택할 경우에는 랜드부(134) 사이에 전도성 에폭시 또는 솔더 페이스트등을 사용하여 스택되는 반도체 패키지 간에 전기적으로 연결되도록 한다.
- <45> 그런데, 본 실시예의 반도체 패키지(101)는 패키지 스택을 위해 형상을 변경하거나 별도의 구조물이 필요하지 않기 때문에 용이하게 반도체 패키지를 스택할 수 있다.
- <46> 또한, 본 실시예의 반도체 패키지(101)는, 내부에 칩이 적층된 패키지를 스택할 수 있음에 따라, 대용량의 반도체 패키지 스택이 가능하다.

<47> 이하, 본 발명에 따른 반도체 패키지의 제조방법에 대해서 솔더범프를 사용한 제1실시예를 기준으로 설명하도록 한다.

<48> 먼저, 도 5a 와 같이 리드프레임(130)을 형성하는 각 리드(131)의 일면 내측부를 하프 에칭등으로 그 외측부의 두께보다 얇게 형성하여, 상기 각 리드(131)의 일면 내측부에는 칩 장착부(132)를 형성하고, 상기 각 리드(131)의 일면 외측부에는 랜드부(134)를 형성한다.

<49> 그리고, 도 5b 와 같이 솔더범프(150)가 구비되는 상기 각 리드(131)의 주위에 솔더와의 젖음성이 나쁜 솔더 레지스트 또는 티타늄등과 같은 솔더 마스크 물질(160)을 코팅한다.

<50> 다음으로, 도 5c 와 같이 상기 각 리드(131)의 칩 장착부 및 타면에 솔더범프(150)를 구비한다.

<51> 상기와 같이 솔더범프(150)가 각 리드(131)에 구비되면, 도 5d 와 같이 상기 솔더범프(150)에 본딩패드(113)를 형성한 제1칩(110)을 연결함과 함께 본딩패드(123)를 형성한 제2칩(120)을 연결함으로써, 상기 각 칩(110)(120)을 상기 리드프레임(130)에 연결한다.

<52> 이와 같이, 상기 제1칩(110) 및 상기 제2칩(120)이 상기 리드프레임(130)에 연결되면, 도 5e 와 같이 상기 각 칩(110)(120)의 일부 및 랜드부(134)가 외부로 노출되도록 그 주위를 봉지재(180)로 봉지한다.

【발명의 효과】

<53> 상기한 바와 같이 본 발명은 다음과 같은 효과가 있다.

- <54> 첫째, 솔더범프를 리드프레임에 형성하고 상기 리드프레임에 칩을 플립칩 본딩방식으로 연결하여 박형의 칩을 사용할 수 있음에 따라, 패키지의 두께를 박형화할 수 있다.
- <55> 특히, 상기 리드의 일면 내측부를 외측부의 두께보다 얇게 형성하여, 패키지 두께를 더욱 줄일 수 있다.
- <56> 둘째, 각 칩을 외부로 노출시킴으로써, 상기 각 칩에서 발생하는 열을 효과적으로 방출할 수 있으며, 각 칩이 리드프레임에 연결되므로 열 방출을 더욱 향상시킬 수 있다.
- <57> 셋째, 본 발명은 칩을 적층하기 위해 와이어본딩을 사용하지 않으므로, 칩의 사이즈 역시 줄일 수 있다.
- <58> 넷째, 내부에 칩을 적층함과 함께 패키지를 스택하는 것이 가능하다.

【특허청구범위】**【청구항 1】**

각 리드의 일면 내측부가 그 외측부의 두께보다 얇게 형성되어, 상기 각 리드의 일면 내측부는 칩 장착부를 형성하고 상기 각 리드의 일면 외측부는 랜드부를 형성하는 리드프레임과;

상기 각 리드의 칩 장착부 및 상기 각 리드의 타면에 각각 장착되는 제1칩 및 제2칩과;

상기 각 칩과 상기 각 리드를 전기적으로 연결하는 접속수단과;

상기 각 칩, 상기 접속수단을 외부로부터 보호하기 위해 봉지되는 봉지제를 포함하여 이루어지는 적층형 반도체 패키지.

【청구항 2】

제1항에 있어서,

상기 제1칩과 상기 제2칩은 동일한 크기인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 3】

제1항에 있어서,

상기 접속수단은 솔더 범프이며, 상기 솔더 범프가 구비되는 상기 각 리드의 주위에는 솔더와의 젖음성이 나쁜 솔더 마스크 물질이 코팅되는 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 4】

제1항에 있어서,

상기 각 칩의 일부 및 상기 각 리드의 랜드부가 외부로 노출되는 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 5】

각 리드의 일면 및 타면의 내측부가 그 외측부의 두께보다 얇게 형성되어, 상기 각 면의 내측부는 칩 장착부를 형성하고 상기 각 면의 외측부는 랜드부를 형성하는 리드프레임과;

상기 각 리드의 일면 및 타면에 형성되는 칩 장착부에 각각 장착되는 제1 칩 및 제2칩과;

상기 각 칩과 상기 각 리드를 전기적으로 연결하는 접속수단과;

상기 각 칩, 상기 접속수단을 외부로부터 보호하기 위해 봉지되는 봉지제를 포함하여 이루어지는 적층형 반도체 패키지.

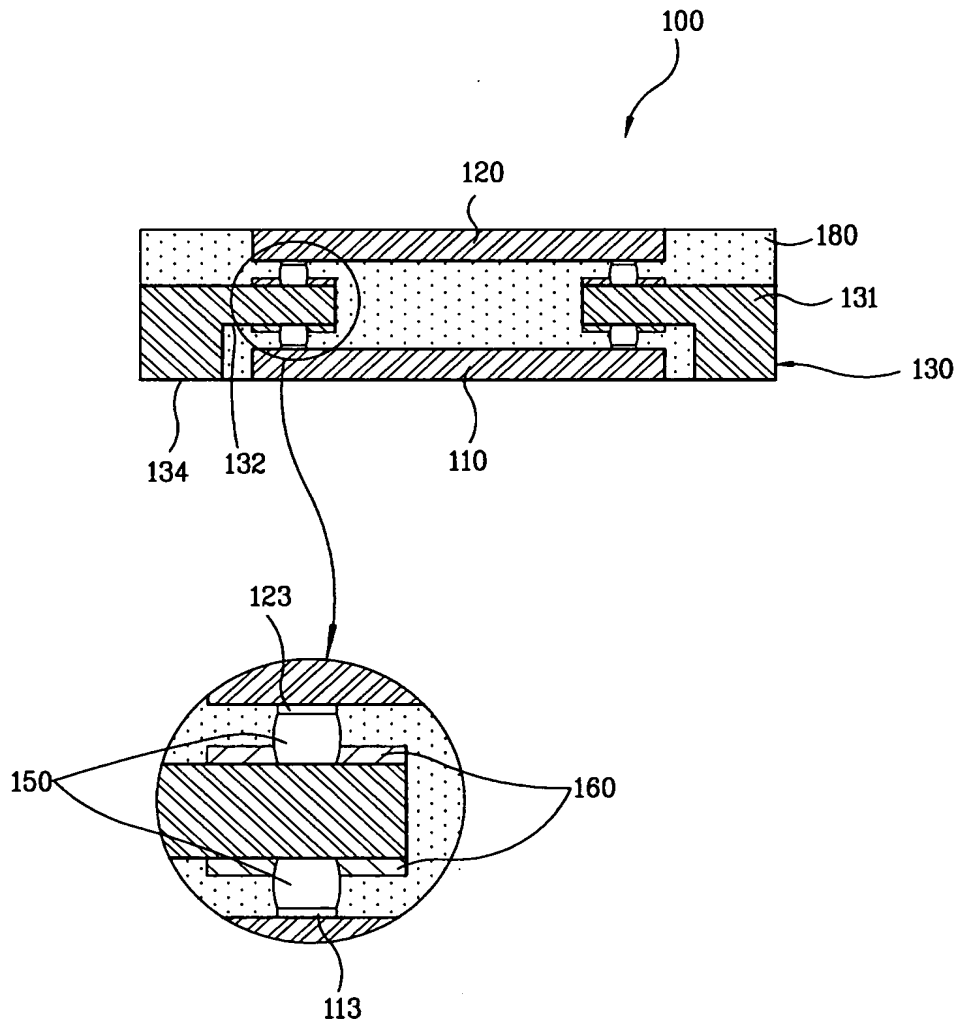
【청구항 6】

제5항에 있어서,

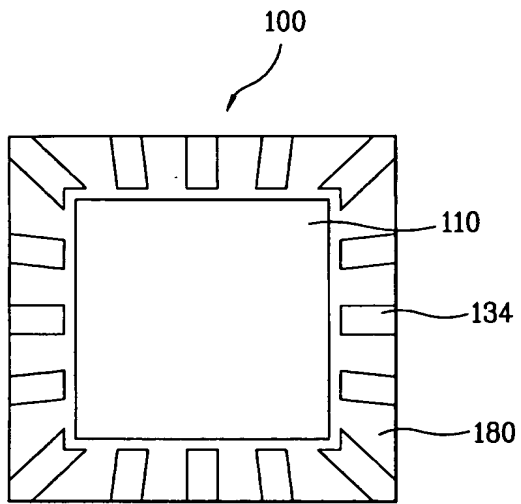
상기 각 리드의 랜드부를 통해 패키지들이 스택되는 것을 특징으로 하는 적층형 반도체 패키지.

【도면】

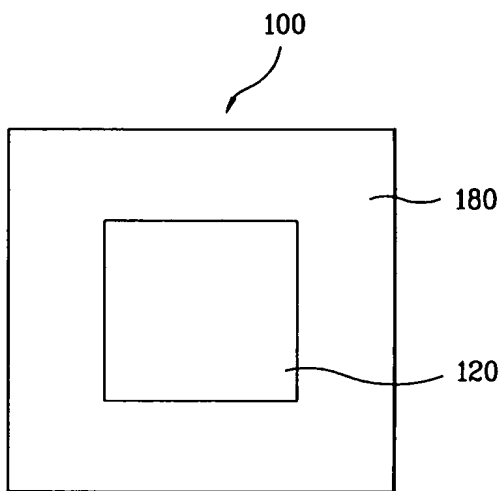
【도 1】



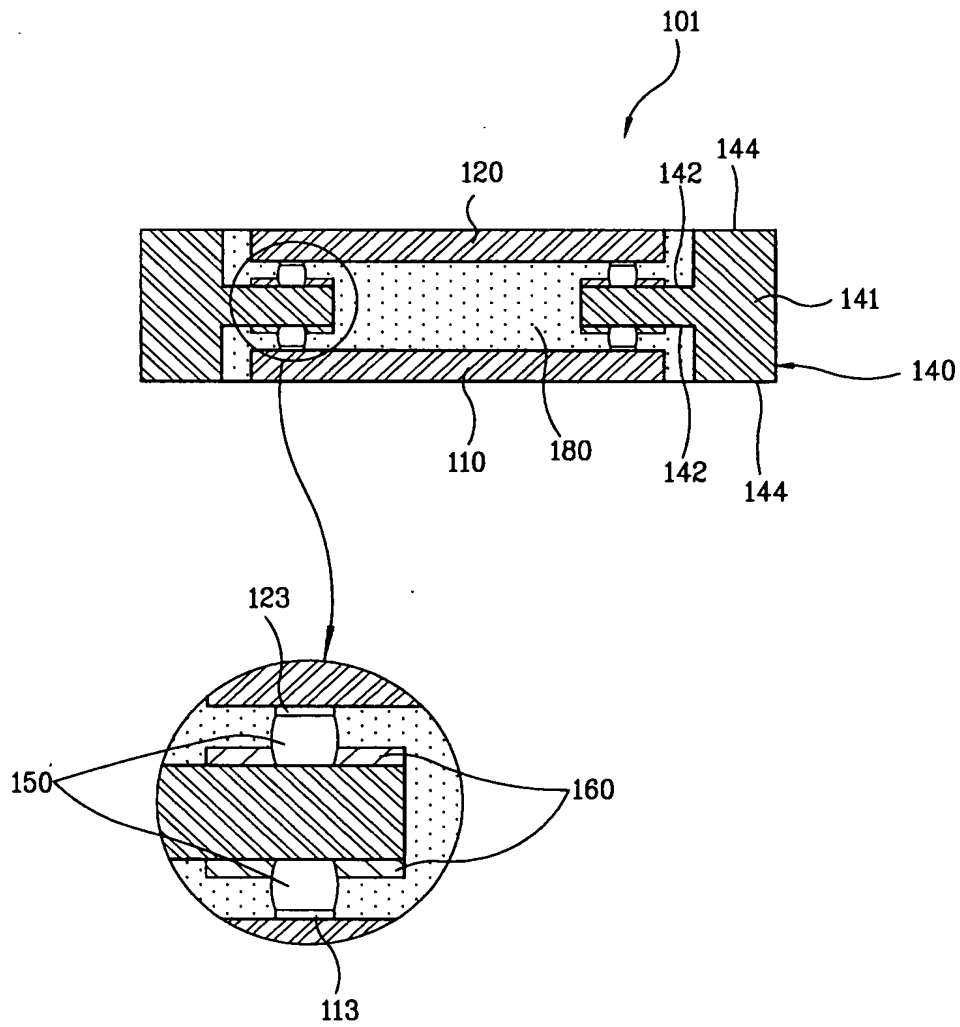
【도 2a】



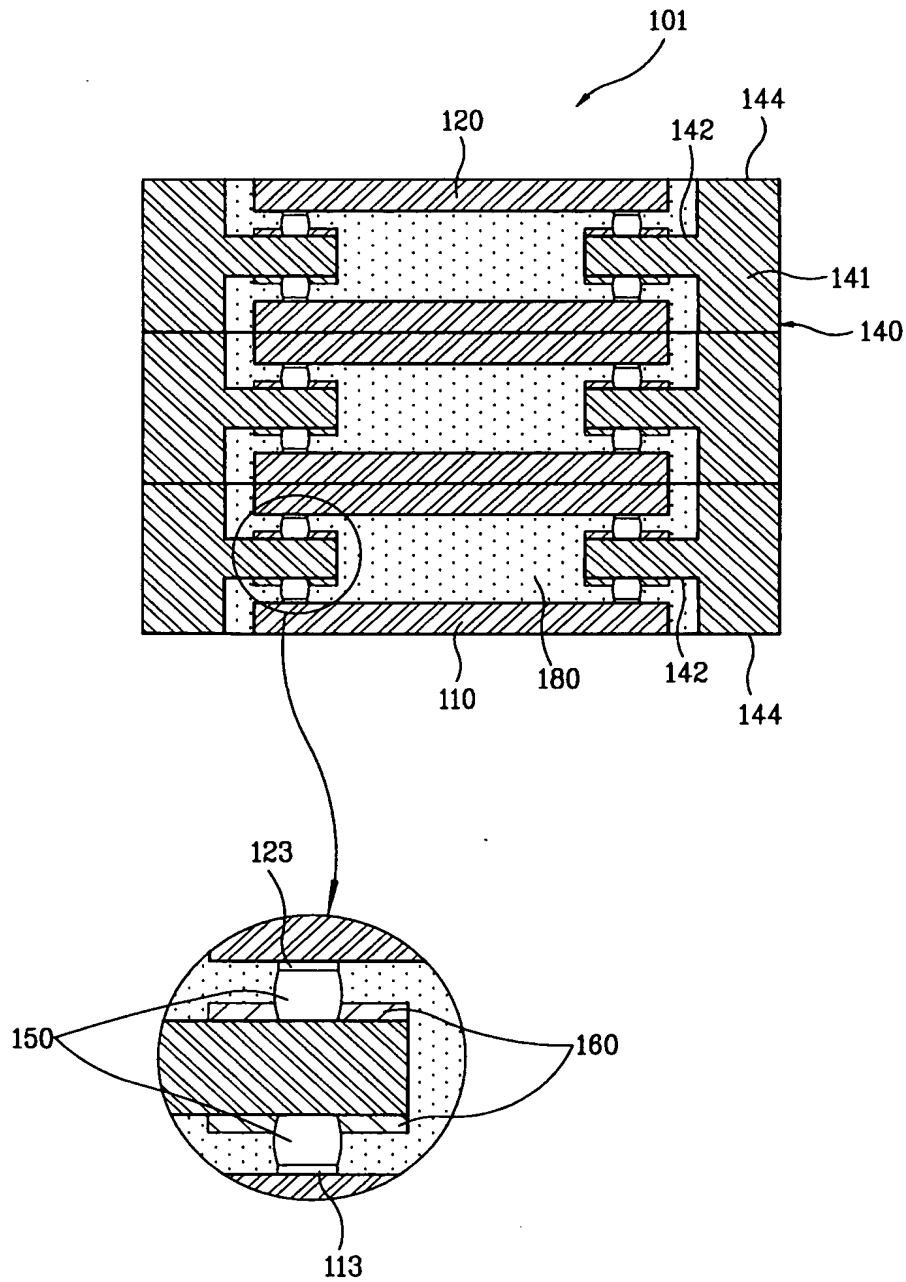
【도 2b】



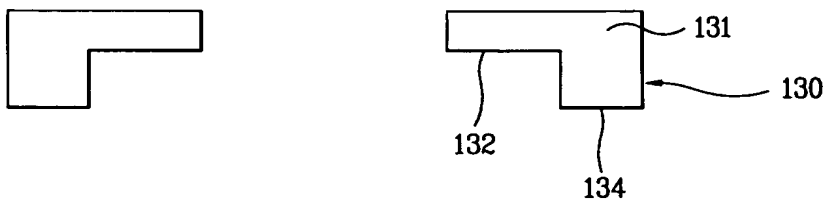
【도 3】



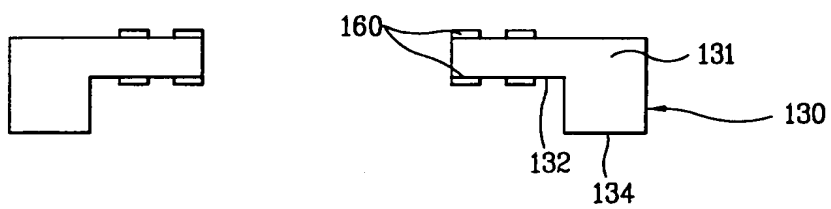
【도 4】



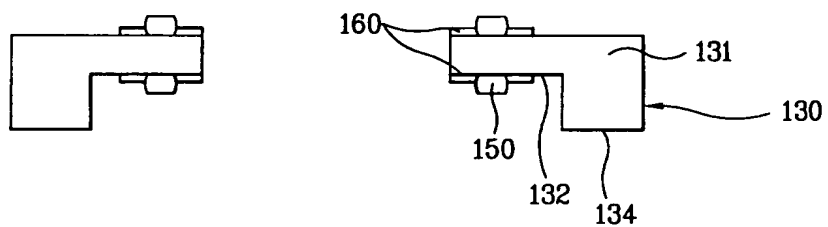
【도 5a】



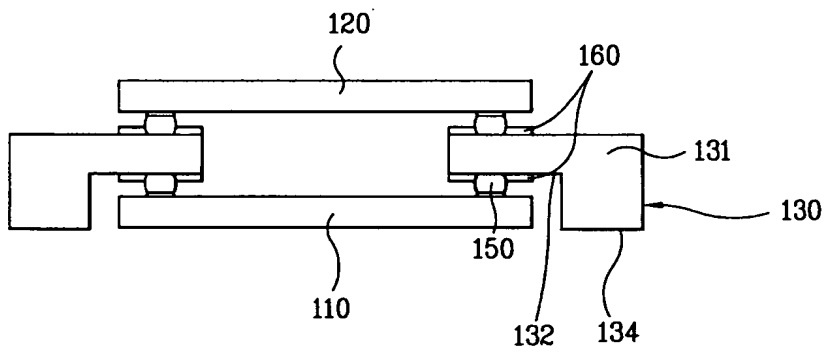
【도 5b】



【도 5c】



【도 5d】



【도 5e】

